

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-353448

(43)Date of publication of application : 06.12.2002

(51)Int.Cl.

H01L 29/78

H01L 29/06

(21)Application number : 2002-075849

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 19.03.2002

(72)Inventor : NODA MASAOKI

(30)Priority

Priority number : 2001082357

Priority date : 22.03.2001

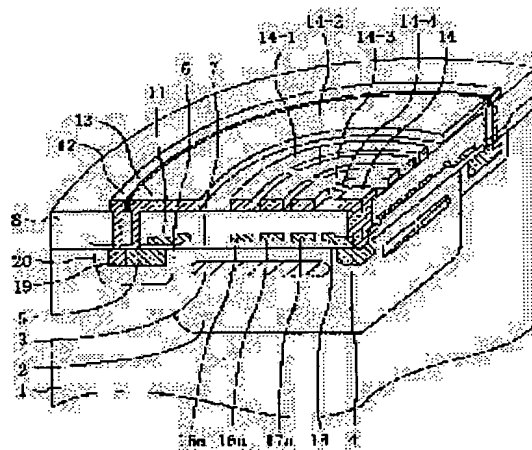
Priority country : JP

(54) HIGH-WITHSTAND VOLTAGE SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a highly reliable high-withstand voltage semiconductor device in which the on-resistance of the device will not deteriorate, even if the device is used at a high temperature.

SOLUTION: A high-withstand voltage semiconductor device is provided with a semiconductor layer 1, a drain offset diffused region 2, a source diffused region 5, a drain diffused region 4, a first conductivity-type embedded and diffused region 3 which is embedded in the region 2, at least one plate electrode (15a, 16a and 17a) formed in a floating state on a field insulating film 7 and metal electrodes (14-1, 14-2 and 14-3), which are formed on interlayer insulating film 8 located on the plate electrodes (15a, 16a and 17a), are electrically connected to each one part of them with the region 4 and are capacitance-coupled with the plate electrodes (15a, 16a and 17a).



LEGAL STATUS

[Date of request for examination]

23.05.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-353448

(P2002-353448A)

(43) 公開日 平成14年12月6日 (2002. 12. 6)

(51) Int.Cl. ⁷	識別記号	F I	テームコード (参考)
H 0 1 L 29/78		H 0 1 L 29/06	3 0 1 F 5 F 1 4 0
29/06	3 0 1	29/78	3 0 1 W
			3 0 1 D

審査請求 未請求 請求項の数11 O L (全 14 頁)

(21) 出願番号 特願2002-75849 (P2002-75849)

(22) 出願日 平成14年3月19日 (2002. 3. 19)

(31) 優先権主張番号 特願2001-82357 (P2001-82357)

(32) 優先日 平成13年3月22日 (2001. 3. 22)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 野田 正明

大阪府門真市大字門真1006番地 松下電器

産業株式会社内

(74) 代理人 100077931

弁理士 前田 弘 (外7名)

F ターム (参考) 5F140 AA00 AC21 BD19 BF01 BF04

BF54 BH04 BH13 BH30 BH41

BH43 BH49 BH50 BJ01 BJ05

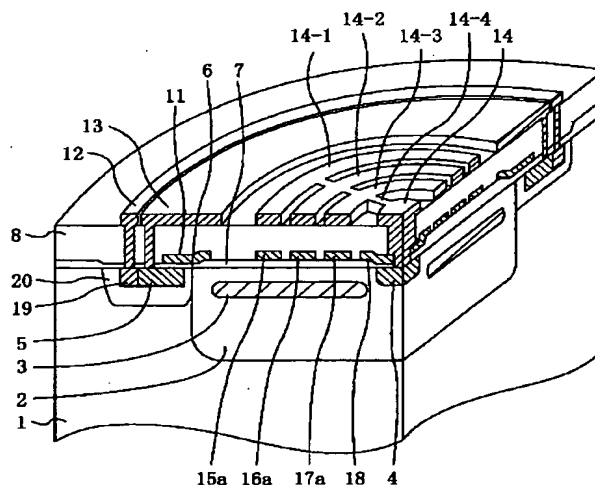
BJ06 BJ23 CA03 CA10 CD08

(54) 【発明の名称】 高耐圧半導体装置

(57) 【要約】

【課題】 高温で使用してもオン抵抗が劣化しないような高信頼性の高耐圧半導体装置を提供すること。

【解決手段】 半導体層1と、ドレインオフセット拡散領域2と、ソース拡散領域5と、ドレイン拡散領域4と、ドレインオフセット拡散領域2に埋設された第1導電型の埋め込み拡散領域3と、フィールド絶縁膜7上にフローティング状態で形成された少なくとも1つのプレート電極 (15a、16a、17a) と、プレート電極 (15a、16a、17a) 上に位置する層間絶縁膜8上に形成され、その一部がドレイン拡散領域4と電気的に接続され、且つプレート電極 (15a、16a、17a) と容量結合されている金属電極14 (14-1、14-2、14-3) とを備えた高耐圧半導体装置である。



1

【特許請求の範囲】

【請求項 1】 第 1 導電型の半導体層と、

前記第 1 導電型の半導体層内に形成された第 2 導電型の
ドレインオフセット拡散領域と、前記ドレインオフセット拡散領域から離間して前記第 1
導電型の半導体層内に形成された第 2 導電型のソース拡
散領域と、前記ドレインオフセット拡散領域内に形成された第 2 導
電型のドレイン拡散領域と、前記ドレインオフセット拡散領域に埋設され、且つ少な
くとも一部が前記第 1 導電型の半導体層に電気的に接続
された第 1 導電型の埋め込み拡散領域と、前記第 1 導電型の半導体層のうち前記ソース拡散領域と
前記ドレインオフセット拡散領域との間に位置する部分
の上に形成されたゲート絶縁膜と、

前記ゲート絶縁膜上に形成されたゲート電極と、

前記ドレインオフセット拡散領域上に形成されたフィー
ルド絶縁膜と、前記フィールド絶縁膜上にフローティング状態で形成さ
れた少なくとも 1 つのプレート電極と、前記フィールド絶縁膜および前記少なくとも 1 つのプレ
ート電極の上に形成された層間絶縁膜と、前記少なくとも 1 つのプレート電極上に位置する前記層
間絶縁膜上に形成され、その一部が前記ドレイン拡散領
域と電気的に接続され、且つ前記少なくとも 1 つのプレ
ート電極と容量結合されている金属電極とを備える、高
耐圧半導体装置。【請求項 2】 前記ドレイン拡散領域は、前記ドレイン
オフセット拡散領域の中央部に形成され、且つ、前記半
導体層の法線方向からみて略円形の形状を有しており、
前記ソース拡散領域は、前記ドレインオフセット拡散領
域の外周を包囲するようにして前記外周から所定の間隔
をおいて前記半導体層内に形成されており、
前記埋め込み拡散領域は、前記ドレイン拡散領域の前記
略円形の外周を包囲するように前記ドレインオフセット
拡散領域内に埋設されている、請求項 1 に記載の高耐圧
半導体装置。【請求項 3】 前記少なくとも 1 つのプレート電極は、
前記ドレイン拡散領域を中心としてそれぞれが同心円状
に形成された円環状の複数の電極である、請求項 2 に記
載の高耐圧半導体装置。【請求項 4】 前記金属電極は、前記円環状の複数の電
極の上に前記層間絶縁膜を介して位置する複数の円環状
の金属電極と、前記複数の円環状の金属電極のそれぞれ
を電気的に接続する連結部とを有しており、
前記円環状の複数の電極のそれぞれと、前記複数の円環
状の金属電極のそれぞれとが、前記層間絶縁膜を介して
容量結合している、請求項 3 に記載の高耐圧半導体装
置。

【請求項 5】 前記金属電極は、前記半導体層の法線方

2

向からみて、前記ドレイン拡散領域を中心として、前記
円環状の複数の電極のうちの最も前記ドレイン拡散領域
寄りに最も位置する円環状の電極の外縁までの全ての領
域を覆う部分を有している、請求項 3 に記載の高耐圧半
導体装置。【請求項 6】 前記少なくとも 1 つのプレート電極の上
方に位置する前記金属電極の幅は、当該少なくとも 1 つ
のプレート電極の幅よりも小さい、請求項 1 から 4 の何
れか一つに記載の高耐圧半導体装置。【請求項 7】 前記金属電極は、前記半導体層の法線方
向からみて、前記少なくとも 1 つのプレート電極の一部
と交差するように延在された部分を前記層間絶縁膜上に
有する、請求項 1 から 3 の何れか一つに記載の高耐圧半
導体装置。【請求項 8】 前記金属電極および前記層間絶縁膜の上
に形成された表面保護膜と、前記表面保護膜上に形成さ
れた封止樹脂部とをさらに備える、請求項 1 から 7 の何
れか一つに記載の高耐圧半導体装置。【請求項 9】 前記表面保護膜は、ポリイミド系樹脂か
ら構成された上層と、それよりも下層に、無機系材料か
ら構成された絶縁層とを含む多層膜である、請求項 8 に
記載の高耐圧半導体装置。【請求項 10】 前記半導体層は、半導体基板である、
請求項 1 から 9 の何れか一つに記載の高耐圧半導体装
置。【請求項 11】 前記第 1 導電型の半導体層は、少なく
とも表面に絶縁層が形成された基板上に形成されてい
る、請求項 1 から 9 の何れか一つに記載の高耐圧半導体
装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、高耐圧半導体装置
に関する。

【0002】

【従来の技術】従来の高耐圧半導体装置は、例えば、特
開 2000-12854 号公報に開示されている。この
公報に開示された高耐圧半導体装置は、絶縁ゲート型ト
ランジスタであり、以下、図 12 を参照しながら、従来
の絶縁ゲート型トランジスタについての説明をする。図
12 は、従来の絶縁ゲート型トランジスタの断面構造を
模式的に示している。【0003】図 12 に示した絶縁ゲート型トランジスタ
は、P 型の半導体基板 1 と、半導体基板 1 内に形成され
た低濃度の N 型不純物を含むドレインオフセット拡散領
域 2 と、ドレインオフセット拡散領域 2 内に埋め込まれ
た P 型不純物を含む低濃度埋め込み拡散領域 3 と、ドレ
インオフセット拡散領域 2 内に位置する高濃度の N 型不
純物を含むドレイン拡散領域 4 と、半導体基板 1 内に形
成された高濃度の N 型不純物を含むソース拡散領域 5
と、高濃度の P 型不純物を含むコンタクト用拡散領域 1

3

9とを有している。低濃度埋め込み拡散領域3は、ドレインに高電圧を印加した時にドレインオフセット拡散領域2の空乏化を助長する機能を有している。なお、図示していないが、低濃度埋め込み拡散領域3の一部は、半導体基板1と接続されている。また、半導体基板1内には、ソース拡散領域5とコンタクト用拡散領域19とを囲むように、P型不純物を含むパンチスルー防止用拡散領域20が形成されている。パンチスルー防止用拡散領域20は、MOSトランジスタの活性領域となるドレインオフセット拡散領域2とソース拡散領域5との間のP型不純物濃度を高めて、その間でのパンチスルー現象を防止する機能を有している。

【0004】半導体基板1上には、膜厚の薄いゲート酸化膜6と膜厚の厚い酸化膜（フィールド酸化膜）7とが形成されており、酸化膜6、7のうち、ドレインオフセット拡散領域2とソース拡散領域5との間の上に位置する部分上には、ポリシリコンから構成されたゲート電極11が設けられている。なお、酸化膜6、7のうち、ドレインオフセット拡散領域2とドレイン拡散領域4との間の上に位置する部分上には、ドレインポリシリコン電極18が形成されている。酸化膜6、7、ゲート電極11およびドレインポリシリコン電極18を覆うように、層間絶縁膜8が形成されている。

【0005】コンタクト用拡散領域19、ソース拡散領域5およびドレイン拡散領域4のそれぞれには、金属電極12、13および14が接続されている。金属電極12は、ボディとなるP型半導体基板1と接続するためのボディ用金属電極であり、金属電極13は、ソース拡散領域5とコンタクトをとるためのソース用金属電極であり、そして、金属電極14は、ドレイン拡散領域4にコンタクトをとるためのドレイン用金属電極である。金属電極12、13、14および層間絶縁膜8の上には、表面保護膜9が形成されており、さらにその上には、封止用樹脂10が形成されている。

【0006】図12に示した絶縁ゲート型トランジスタでは、ソース用金属電極13、ボディ用金属電極12、低濃度P型埋め込み拡散領域3にGND電位が与えられ、且つ、ドレイン用金属電極14には正の高電位が与えられ、ゲート電極11には制御電圧が与えられる。ゲート電極11に閾値以上の正電位（制御電圧）が与えられると、ゲート電極11直下の半導体基板1表面近傍がP型からN型に反転し、これによって、いわゆるチャネル領域が生じ、絶縁ゲート型トランジスタは導通することになる。この時の導通電流は、ドレイン拡散領域4からドレインオフセット拡散領域2、半導体基板1表面のチャネル領域を経由してソース拡散領域5に至るように流れる。逆に、ゲート電極11に与える電圧をしきい値電圧未満にすると、チャネル領域が小さくなり、絶縁ゲート型トランジスタは非導通になる。

【0007】なお、本明細書において、トランジスタの

4

非導通状態を維持することを耐圧と定義し、高いバイアス電圧（例えば、100V以上）で非導通状態を維持することを高耐圧と定義する。また、トランジスタが導通している状態でのソース・ドレイン間の抵抗値をオン抵抗と定義する。

【0008】次に、図13を参照する。図13は、図12に示した高耐圧半導体装置（絶縁ゲート型トランジスタ）に、常温時において高電圧（600V）を与えた時の電位分布を示しており、各電位毎の等電位線を破線で表している。なお、この電位分布（等電位線）は、本願発明者によるシミュレーション結果に基づいて表されている。

【0009】図13に示した電位分布は、P型の半導体基板1、P型の低濃度埋め込み拡散領域3、N型のソース拡散領域5に0（V）を与え、ゲート電極11に0（V）を与え、N型のドレイン拡散領域4に600（V）を与えた例の場合を示しており、その場合における等電位線を破線で示している。

【0010】図示した高耐圧半導体装置は、ドレインオフセット拡散領域2内を全て空乏化して初期耐圧を確保する所謂リサーチと呼ばれる技術を活用している。その原理を以下に説明する。

【0011】この高耐圧半導体装置を動作させる場合、通常、半導体基板1およびソース拡散領域5を0（V）にして、動作に必要なドレイン電圧を金属電極14に与える。そのドレイン電圧を0（V）から徐々に上げていくと、ドレイン電圧が低い時には、P型の半導体基板1とN型のドレインオフセット拡散領域2とのPN接合による空乏層が半導体基板1内とドレインオフセット拡散領域2内とに延びるとともに、P型の低濃度埋め込み拡散領域3とドレインオフセット拡散領域2とのPN接合による空乏層も、低濃度埋め込み拡散領域3内とドレインオフセット拡散領域2内とに延びる。図13において、低濃度埋め込み拡散領域3の縦方向の濃度分布は、中心部の濃度が高く、中心部から上下方向にいくにしたがって濃度が低くなる濃度分布を持っている。したがって、低濃度埋め込み拡散領域3内の縦方向の電位は、中心部を低く保つように分布する。

【0012】また、低濃度埋め込み拡散領域3内のソース側の部分は0（V）に設定されており、且つ、ドレイン側に延在するように配置されるため、低濃度埋め込み拡散領域3内の横方向の電位は、ソースからドレイン方向に向かって電位が高くなるように分布する。従って、図13に示すように、低濃度埋め込み拡散領域3内の等電位線は、ドレイン側に凸の形状となる。

【0013】次に、ドレイン電圧を上昇させていくと、半導体基板1とドレインオフセット拡散領域2とのPN接合から延びた空乏層が、低濃度埋め込み拡散領域3とドレインオフセット拡散領域とのPN接合から延びた空乏層とがつながる。さらに電圧を上昇させると、ドレイ

5

ンオフセット拡散領域 2 内は、ドレイン拡散領域 4 近傍を除いて空乏化する。それよりさらに電圧を上昇させると、ドレインオフセット拡散領域 2 内のほとんどの部分が空乏化する。すなわち、ドレインオフセット拡散領域 2 内を空乏化させることによって、ドレインオフセット拡散領域 2 内の電界集中を緩和して高耐圧特性を得ることができる。この構成において、低濃度埋め込み拡散領域 3 は、ドレインオフセット拡散領域 2 の空乏化を助長する効果を有する。このため、低濃度埋め込み拡散領域 3 が無い場合と比較すると、ドレインオフセット拡散領域 2 の不純物濃度を高く設定しても、比較的低いドレイン電圧でドレインオフセット拡散領域 2 内の空乏化が達成され、その結果、ドレインオフセット拡散領域 2 内の電界が緩和され、高耐圧特性を確保することができる。しかも、同じ高耐圧特性を維持するには、低濃度埋め込み拡散領域 3 が無い場合に比べて、ドレインオフセット拡散領域 2 の不純物濃度を高めることができるため、絶縁ゲート型トランジスタのオン抵抗を低減することが可能となる。

【0014】図 13 に示した構成において、ドレインオフセット拡散領域 2 は、ドレイン拡散領域 4 近傍を除いて、空乏化しているため、ドレインオフセット拡散領域 2 内の等電位線は、一様に分布している。特に表面近傍においては、水平方向に対してほぼ垂直な分布になっている。

【0015】次に、トランジスタが導通状態となった時の電流経路を図 14 に示す。ドレイン電極 14 から流入する電流は、ドレイン拡散領域 4 に入った後、ドレインオフセット拡散領域 2 内を流れる。ドレインオフセット拡散領域 2 内を流れる電流は、ドレインオフセット拡散領域 2 内に埋め込まれた低濃度埋め込み拡散領域 3 を境に上層部と下層部に分かれて流れ、再び合流した後、半導体基板 1 表面のゲート電極 11 直下に形成されたチャネル領域を経由してソース拡散領域 5 に流れこむ。そして、ドレインオフセット拡散領域 2 内の上層部は、不純物濃度が下層部に比べて高い濃度であり、比抵抗が下層部に比べて小さいため、電流のほとんどは上層部を流れることになる。従って、不純物濃度の高い上層部を流れる電流の電流量が、絶縁ゲート型トランジスタのオン抵抗（導通時のソース・ドレイン間抵抗）を低くする上で重要なポイントになる。

【0016】

【発明が解決しようとする課題】しかしながら、例えば、500 (V) 以上の高電圧、例えば 600 (V) をドレイン用金属電極 14 に印加したまま、周囲温度 150℃ の高温状態で上記従来の高耐圧半導体装置を動作させると、オン抵抗（トランジスタ導通時のソース・ドレイン間の抵抗）が増大する方向に変動するという現象が生じる。この現象は、高温バイアス試験という寿命試験を実行することによって再現することができ、ドレイン

6

用の金属電極 14 の印加電圧を大きくするとそのオン抵抗変動が顕著になり、逆に印加電圧を下げるとオン抵抗変動が少なくなるものである。

【0017】高温バイアス試験におけるオン抵抗変動については、まだそのメカニズムは解明されておらず推論の域を出ない。しかし、次のようなことを推論することができる。

【0018】一般的に半導体チップは、封止用樹脂で封止されており、水分が樹脂パッケージの中に浸透しないように対策されている。しかし、封止用樹脂として一般的に用いられるノボラックエポキシ樹脂には、0.9% ~ 1.6% の水酸基 OH が含まれており、この水酸基 OH が高温時に活性化すると、一般的には絶縁物として考えられている封止用樹脂 10 が半絶縁状態（高抵抗で導通する状態）になる。

【0019】通常、高耐圧半導体装置においては、半導体チップを封止用樹脂 10 によってモールドし、複数の外部端子（図示せず）と半導体チップ上の複数のパッド（図示せず）との間をそれぞれ金属ワイヤ（図示せず）によって接続している。それらの金属ワイヤには、接地電位である 0 (V)、電源電圧である 600 (V)、および制御信号がそれぞれ印加されるから、上述した理由で封止用樹脂 10 が半絶縁状態になれば、600 (V) と 0 (V) との中間電位が表面保護膜 9 の表面に与えられるものと推測される。半導体チップのレイアウトによって左右されることであるが、例えば、半導体チップの絶縁ゲート型トランジスタ側に接地用パッド（図示せず）が設けられ、そして、そこから離れた位置に電源用パッド（図示せず）が設けられている場合、絶縁ゲート型トランジスタ上に位置する封止用樹脂 10 が約 100 (V) の中間電位になることがあり得る。そのようなことを考え合わせて、高温バイアス試験時に半導体チップの表面保護膜 9 と封止用樹脂 10 との界面が 100 (V) の電位を持った場合を仮定し、その時の電位分布がどのようになるかを本願発明者は検討した。

【0020】以下、図 15 を参照しながら、高温バイアス試験時における電位分布について説明する。図 15 は、図 14 で説明したのと同じバイアス条件の下、高温状態にした高温バイアス試験をしている最中の電位分布を想定した図であり、図において等電位線を破線で示している。

【0021】図 15 に示すように、高温バイアス試験時において表面保護膜 9 と封止用樹脂 10 との界面の電位は 100 V になるため、ドレインオフセット拡散領域 2 表面の等電位線の 100 V 以下の部分はソース側に傾き、100 V を超える部分はドレイン側に傾く。100 V を超える等電位線がドレイン側へ傾くことは、N 型ドレインオフセット拡散領域 2 表面と酸化膜 7 との界面において、酸化膜 7 側の電位が N 型ドレインオフセット拡散領域 2 表面に対して負電位になることを意味する。

7

【0022】加えて、半導体領域と酸化膜との界面において、酸化膜側が高温雰囲気中で負電位になると、その界面の $\text{Si}-\text{H}$ 、 $\text{Si}-\text{OH}$ などの結合が破壊され正の固定電荷が発生することが報告されている（日科技連出版社発行の著書『半導体デバイスの信頼性技術』）。このような現象によって、ドレインオフセット拡散領域2と酸化膜7との界面に正の固定電荷が発生すると、酸化膜7中に負の可動電荷も発生する。すると、酸化膜7中の負の可動電荷は、ドレイン用金属電極14の正の高電位に時間の経過と共に引き寄せられ、酸化膜7中のドレイン用金属電極14寄りに負電荷が多く分布する領域が生じる。この時、酸化膜7中のドレイン用金属電極14寄りに移動した負の可動電荷は、酸化膜7中の等電位線がドレイン側へと傾いているため、酸化膜7とドレインオフセット拡散領域2との界面に分布するようになる。また、負の可動電荷が発生した元々の箇所には、正の固定電荷が多く分布する領域が生じる。

【0023】すなわち、ドレイン用金属電極14に近い酸化膜7中の界面には負電荷が多く存在するため、ドレインオフセット拡散領域2中の正孔が引き寄せられて、ドレインオフセット拡散領域2の表面は、P型に反転してP型反転層23になる。一方、正の固定電荷が残存した領域では、ドレインオフセット拡散領域2中の電子が引き寄せられて、ドレインオフセット拡散領域2中の電子密度が局部的に高くなり、ドレインオフセット拡散領域2の表面近傍には、N型蓄積層24が生じることになる。このようにして、P型反転層23とN型蓄積層24とがドレインオフセット拡散領域2の表面に生じると、P型反転層23の発生により、ドレインオフセット拡散領域2内の上層の電流経路が狭くなり、その結果、オン抵抗の経時的な増大がもたらされると考えられる。

【0024】本発明はかかる諸点に鑑みてなされたものであり、その主な目的は、高温で使用してもオン抵抗が劣化しないような高信頼性の高耐圧半導体装置を提供することにある。

【0025】

【課題を解決するための手段】本発明による高耐圧半導体装置は、第1導電型の半導体層と、前記第1導電型の半導体層内に形成された第2導電型のドレインオフセット拡散領域と、前記ドレインオフセット拡散領域から離間して前記第1導電型の半導体層内に形成された第2導電型のソース拡散領域と、前記ドレインオフセット拡散領域内に形成された第2導電型のドレイン拡散領域と、前記ドレインオフセット拡散領域に埋設され、且つ少なくとも一部が前記第1導電型の半導体層に電気的に接続された第1導電型の埋め込み拡散領域と、前記第1導電型の半導体層のうち前記ソース拡散領域と前記ドレインオフセット拡散領域との間に位置する部分の上に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成されたゲート電極と、前記ドレインオフセット拡散領域上に形

8

成されたフィールド絶縁膜と、前記フィールド絶縁膜上にフローティング状態で形成された少なくとも1つのプレート電極と、前記フィールド絶縁膜および前記少なくとも1つのプレート電極の上に形成された層間絶縁膜と、前記少なくとも1つのプレート電極上に位置する前記層間絶縁膜上に形成され、その一部が前記ドレイン拡散領域と電気的に接続され、且つ前記少なくとも1つのプレート電極と容量結合されている金属電極とを備えている。

【0026】ある実施形態において、前記ドレイン拡散領域は、前記ドレインオフセット拡散領域の中央部に形成され、且つ、前記半導体層の法線方向からみて略円形の形状を有しており、前記ソース拡散領域は、前記ドレインオフセット拡散領域の外周を包囲するようにして前記外周から所定の間隔をおいて前記半導体層内に形成されており、前記埋め込み拡散領域は、前記ドレイン拡散領域の前記略円形の外周を包囲するように前記ドレインオフセット拡散領域内に埋設されている。

【0027】ある実施形態において、前記少なくとも1つのプレート電極は、前記ドレイン拡散領域を中心としてそれぞれが同心円状に形成された円環状の複数の電極である。

【0028】ある実施形態において、前記金属電極は、前記円環状の複数の電極の上に前記層間絶縁膜を介して位置する複数の円環状の金属電極と、前記複数の円環状の金属電極のそれぞれを電気的に接続する連結部とを有しており、前記円環状の複数の電極のそれぞれと、前記複数の円環状の金属電極のそれぞれとが、前記層間絶縁膜を介して容量結合している。

【0029】ある実施形態において、前記金属電極は、前記半導体層の法線方向からみて、前記ドレイン拡散領域を中心として、前記円環状の複数の電極のうちの最も前記ドレイン拡散領域寄りに最も位置する円環状の電極の外縁までの全ての領域を覆う部分を有している。

【0030】ある実施形態において、前記少なくとも1つのプレート電極の上方に位置する前記金属電極の幅は、当該少なくとも1つのプレート電極の幅よりも小さい。

【0031】ある実施形態において、前記金属電極は、前記半導体層の法線方向からみて、前記少なくとも1つのプレート電極の一部と交差するように延在された部分を前記層間絶縁膜上に有する。

【0032】ある実施形態において、前記金属電極および前記層間絶縁膜の上に形成された表面保護膜と、前記表面保護膜上に形成された封止樹脂部とをさらに備えている。

【0033】ある実施形態において、前記表面保護膜は、ポリイミド系樹脂から構成された上層と、それよりも下層に、無機系材料から構成された絶縁層とを含む多層膜である。

【0034】ある実施形態において、前記半導体層は、半導体基板である。

【0035】ある実施形態において、前記第1導電型の半導体層は、少なくとも表面に絶縁層が形成された基板上に形成されている。

【0036】本発明によると、フィールド絶縁膜上にフローティング状態で形成された少なくとも1つのプレート電極と、当該少なくとも1つのプレート電極と容量結合され、且つ、その一部がドレイン拡散領域と電氣的に接続されている金属電極とを備えているため、ドレインオフセット拡散領域とフィールド絶縁膜との界面における正の固定電荷および負の可動電荷の発生を抑制することができる。その結果、高温バイアス信頼性試験においてもオン抵抗が変動しない高信頼性の高耐圧半導体装置を提供することができる。

【0037】

【発明の実施の形態】以下、図面を参照しながら、本発明による実施形態を説明する。以下の図面においては、説明の簡潔さのため、実質的に同一の機能を有する構成要素を同一の参照符号で示す。以下の実施形態では、100V以上（例えば、500～800V）の耐圧を有する高耐圧半導体装置に焦点を合わせて説明する。なお、本発明は、以下の実施形態に限定されない。

（実施形態1）図1から図4を参照しながら、実施形態1にかかる高耐圧半導体装置を説明する。図1は、本実施形態の高耐圧半導体装置の断面構造を模式的に示す断面斜視図である。なお、図1においては、本実施形態の構成を見やすくするために、半導体チップの最上層となる表面保護膜および封止用樹脂は省略している。

【0038】本実施形態の高耐圧半導体装置（絶縁ゲート型トランジスタ）は、第1導電型の半導体層1と、半導体層1内に形成された第2導電型のドレインオフセット拡散領域2と、ドレインオフセット拡散領域2から離間して半導体層1内に形成された第2導電型のソース拡散領域5と、ドレインオフセット拡散領域2内に形成された第2導電型のドレイン拡散領域4と、ドレインオフセット拡散領域2に埋設され、且つ少なくとも一部が半導体層1に電氣的に接続された第1導電型の埋め込み拡散領域3とを有しており、半導体層1のうちソース拡散領域5とドレインオフセット拡散領域2との間に位置する部分の上には、ゲート絶縁膜6が形成されており、ゲート絶縁膜6上には、ゲート電極11が形成されている。ドレインオフセット拡散領域2上には、フィールド絶縁膜7が形成されており、そして、フィールド絶縁膜7上には、フローティング状態で形成されたプレート電極15a、16a、17aが設けられている。フィールド絶縁膜7およびプレート電極15a、16a、17aの上には、層間絶縁膜8が形成されており、プレート電極15a、16a、17a上に位置する層間絶縁膜8上には、その一部がドレイン拡散領域4と電氣的に接続さ

れ、且つ各プレート電極15a、16a、17aと容量結合されている金属電極14および14-1～14-4が形成されている。

【0039】さらに説明すると、本実施形態の半導体層1は、P型の半導体基板（P型のシリコン基板）であり、ドレインオフセット拡散領域2は、低濃度のN型不純物を含むドレインオフセット拡散領域である。埋め込み拡散領域3は、P型の低濃度埋め込み拡散領域であり、ドレインに高電圧を印加した時にドレインオフセット拡散領域2内の空乏化を助長する機能を有している。ドレイン拡散領域4は、高濃度のN型不純物を含むドレイン拡散領域であり、ソース拡散領域5は、高濃度のN型不純物を含むソース拡散領域である。なお、本実施形態の高耐圧半導体装置でも、既に上記で説明したリサーフと呼ばれる技術を活用している。

【0040】本実施形態において、ドレイン拡散領域4は、ドレインオフセット拡散領域2の中央部に形成されており、半導体基板1の法線方向からみて略円形の形状を有している。また、ソース拡散領域5は、ドレインオフセット拡散領域2の外周を包囲するようにして、当該外周から所定の間隔（例えば、2.5μm）をおいて半導体基板1内に形成されている。埋め込み拡散領域3は、ドレイン拡散領域4の略円形の外周を包囲するようにドレインオフセット拡散領域2内に埋設されている。

【0041】また、P型の半導体基板1には、高濃度のP型不純物を含むコンタクト用拡散領域19が設けられており、コンタクト用拡散領域19およびソース拡散領域5を囲むように、P型不純物を含むパンチスルー防止用拡散領域20が形成されている。パンチスルー防止用拡散領域20は、MOSトランジスタの活性領域となるドレインオフセット拡散領域2とソース拡散領域5との間のP型不純物濃度を高めて、領域2と5との間のパンチスルー現象による耐圧の低下を防止する機能を有している。

【0042】また、本実施形態におけるゲート絶縁膜6は、膜厚の薄いゲート酸化膜であり、フィールド絶縁膜7は、膜厚の厚い酸化膜である。本実施形態において、ゲート絶縁膜6とフィールド絶縁膜7とは共に繋がっており、例えば、酸化シリコンから構成されている。そして、ゲート絶縁膜6上に位置するゲート電極11は、ポリシリコンから構成されている。また、酸化膜6、7のうち、ドレインオフセット拡散領域2とドレイン拡散領域4との間の上に位置する部分上には、ドレインポリシリコン電極18が形成されている。なお、図1中には示していないが、層間絶縁膜8上には、表面保護膜9が形成されており、その上には、封止用樹脂10が形成されている。

【0043】半導体基板1におけるコンタクト用拡散領域19には、ボディとなる半導体基板1と接続するためのボディ用の金属電極12が接続されており、ソース拡

散領域5には、ソース拡散領域5とコンタクトをとるためのソース用の金属電極13が接続されている。なお、本実施形態では、金属電極12と13とを電氣的に接続して使用している。ドレイン拡散領域4には、ドレイン拡散領域4とコンタクトをとるためのドレイン用の金属電極14が接続されている。金属電極12、13、14は、それぞれ、アルミニウムまたはアルミニウム合金から構成されている。

【0044】ドレイン用金属電極14は、上端の平面形状が円盤状を成す円盤状金属電極（または円柱状金属電極）であり、ドレイン用金属電極14は、平面形状が環状を成す複数の環状金属電極14-1、14-2、14-3と電氣的に接続されており、ドレイン用金属電極14と環状金属電極14-1、14-2、14-3とは、連結部14-4によって連結されている。環状金属電極14-1、14-2、14-3のそれぞれと、電氣的にフローティング状態になっているプレート電極15a、16a、17aのそれぞれとは、互いに容量結合されている。本実施形態において、プレート電極15a、16a、17aは、ドレイン拡散領域4を中心として同心円状に形成された円環状の複数の電極であり、ポリシリコンから構成されている。なお、プレート電極15a、16a、17aと、環状金属電極14-1、14-2、14-3とは、共に、基板法線方向からみて、同じ同心円となっている。

【0045】次に、図2から図4を参照しながら、本実施形態の高耐圧半導体装置の動作を説明する。

【0046】図2は、本実施形態の高耐圧半導体装置における寄生容量を説明するための要部断面図である。また、図3は、高耐圧半導体装置の常温時の電位分布（ポテンシャル分布）を示す概念図であり、図4は、高温バイアス試験中の電位分布を示す概念図である。

【0047】図3および図4の電位分布は、本願発明者によるシミュレーションの結果に基づいて表されている。なお、本実施形態の条件を例示すると、P型半導体基板1の不純物濃度は、 $2 \times 10^{14} \text{ cm}^{-3}$ であり、N型ドレインオフセット拡散領域2の不純物表面濃度は、 $1.5 \times 10^{16} \text{ cm}^{-3}$ で、拡散深さは $7.5 \mu\text{m}$ である。P型低濃度埋め込み拡散領域3の不純物ピーク濃度は、 $7.0 \times 10^{16} \text{ cm}^{-3}$ で、深さ方向拡散幅は $1.0 \mu\text{m}$ である。ドレイン拡散領域4およびソース拡散領域5の不純物表面濃度は、 $8.0 \times 10^{19} \text{ cm}^{-3}$ で、拡散深さは $0.2 \mu\text{m}$ である。厚い酸化膜7の厚さは、 $1 \mu\text{m}$ であり、層間絶縁膜8の材質は、CVD酸化膜で、その厚さは $4 \mu\text{m}$ である。表面保護膜9の材質は、シリコン窒化膜で、その厚さは $1 \mu\text{m}$ である。プレート電極15a、16a、17aの材質は、ポリシリコンまたはAlであり、そして、その幅は $9 \mu\text{m}$ で、各電極の間隔は $1 \mu\text{m}$ である。一方、環状金属電極14-1、14-2、14-3の材質は、Alであり、そして、その幅は

$9 \mu\text{m}$ で、各電極の間隔は $1 \mu\text{m}$ である。

【0048】図2は、図1に示した構成では省略した表面保護膜9および封止用樹脂10も示している。本実施形態の表面保護膜9は、例えば、シリケートガラス、シリコンナイトライド、ポリイミド系樹脂から構成されている。あるいは、これらの組み合わせによって構成してもよく、表面保護膜9は、積層膜として構成してもよい。表面保護膜9を積層膜として構成する場合、上層には、ポリイミド系樹脂からなる絶縁層を形成するのが好ましい。その場合、下層には、無機材料からなる絶縁層（例えば、シリケートガラス層、シリコンナイトライド層）が形成される。ポリイミド系樹脂としては、ポリイミド樹脂（ポリイミド）の他、ポリアミドイミド樹脂、ポリアミド酸樹脂（ポリイミド樹脂の前駆体）などを挙げることができる。そして、本実施形態の封止用樹脂10は、例えば、ノボラックエポキシ樹脂等から構成されている。

【0049】なお、ポリイミド系樹脂は、ノボラックエポキシ樹脂とは異なって高温（ 150°C ）でも高い絶縁性を維持するので、信頼性の高い有機絶縁膜として活用することができる。また、CVD法で形成する場合の無機系の絶縁膜と比較して、ポリイミド系樹脂は、その膜厚を制御し易いという利点もある。例えば、ポリイミド系樹脂の前駆体の粘度を高めたり、その前駆体を2度塗りすることにより、容易に膜厚を厚くすることができる。それゆえ、表面保護膜9が、ポリイミド樹脂層から構成されている場合や、ポリイミド樹脂層を例えば最上層に有する多層膜から構成されている場合には、表面保護膜9の厚さを厚くすると、プレート電極15a、16a、17aと封止用樹脂10との容量結合を小さくすることができるため、高温時の耐圧劣化およびオン抵抗の増大を防ぐ効果をより大きくすることができる。

【0050】本実施形態では、ドレイン拡散領域4に電氣的に接続されている環状金属電極14-1、14-2、14-3のそれぞれと、電氣的にフローティング状態になっているプレート電極15a、16a、17aのそれぞれとは、互いに容量結合されている。このため、プレート電極15aとドレインオフセット拡散領域2の間には寄生容量Ca1が存在し、プレート電極16aとドレインオフセット拡散領域2の間には寄生容量Ca2が存在し、そしてプレート電極17aとドレインオフセット拡散領域2の間には寄生容量Ca3が存在する。また、プレート電極15aと金属電極14-1の間には寄生容量Cb1が存在し、プレート電極16aと金属電極14-2の間には寄生容量Cb2が存在し、そして、プレート電極17aと金属電極14-3の間には寄生容量Cb3が存在する。

【0051】なお、金属電極14-1と封止用樹脂10との間には寄生容量Cc1が存在し、金属電極14-2

13

と封止用樹脂10との間には寄生容量Cc2が存在し、そして、金属電極14-3と封止用樹脂10の間には寄生容量Cc3が存在する。ただし、金属電極14-1、14-2、14-3には、ドレイン用の金属電極14の印加電圧(500V)が印加されるため、寄生容量Cc1、Cc2、Cc3は、プレート電極15a、16a、17aの電位に影響を与えない。それゆえ、プレート電極15a、16a、17aの電位を検討する場合、寄生容量Ca1、Ca2、Ca3、Cb1、Cb2、Cb3の影響について考えれば良い。

【0052】ドレイン用の金属電極14の印加電圧が500Vである場合、プレート電極15aの電位は、その直下に位置する部分のドレインオフセット拡散領域2の電位とドレイン電圧500Vとの電位差を、Ca1とCb1の直列回路で分圧した電位となる。同様に、プレート電極16aの電位は、その直下に位置する部分のドレインオフセット拡散領域2の電位とドレイン電圧500(V)との電位差を、Ca2とCb2の直列回路で分圧した電位となる。また、プレート電極17aの電位は、その直下に位置する部分のドレインオフセット拡散領域2の電位とドレイン電圧500(V)との電位差をCa3とCb3の直列回路で分圧した電位となる。

【0053】本願発明者は、Ca1とCb1との容量比、Ca2とCb2との容量比、Ca3とCb3との容量比がそれぞれ4対1の容量比である場合を想定して、プレート電極15a、16a、17aの電位を概算した。その結果を、図3を参照しながら説明する。図3は、ドレイン用金属電極14に500(V)印加した場合のポテンシャル分布を示した概念図であり、図3において、0V、100V、200V、300V、400V、450V、480V、500Vの等電位線を破線で表している。

【0054】この場合、最もドレイン拡散領域4寄りのプレート電極17a直下に位置する部分のドレインオフセット拡散領域2の電位は、ドレイン電圧より幾分下がり、約490(V)程度になる。また、よりソース拡散領域5側に近いプレート電極16a直下に位置する部分のドレインオフセット拡散領域2の電位は、約470(V)程度になる。また、最もソース拡散領域5寄りのプレート電極15a直下に位置する部分のドレインオフセット拡散領域2の電位は約440(V)程度になる。

【0055】これらの電位を元にして、前述したプレート電極15aの電位を概算すると、その電位は、プレート電極15a直下に位置する部分のドレインオフセット拡散領域2の電位(約440V)と、金属電極14-1の電圧500(V)との電位差を、Ca1とCb1の直列回路で分圧した電位となるから、約450(V)となる。同様に、プレート電極16aの電位を概算すると、その電位は、その直下に位置する部分のドレインオフセット拡散領域2の電位(約470V)と金属電極14-2

14

2の電圧500(V)との電位差を、Ca2とCb2の直列回路で分圧した電位となるから、約475(V)となる。また、プレート電極17aの電位を概算すると、その電位は、その直下に位置する部分のドレインオフセット拡散領域2の電位(約490V)と金属電極14-3の電位(500V)との電位差を、Ca3とCb3との直列回路で分圧した電位となるから、プレート電極17aの電位は、ドレインオフセット拡散領域2の電位(約490V)に対して数V高い電位となる。

【0056】したがって、金属電極14-1、14-2、14-3および15a、16a、17aを配置した部分ならびにその近傍において、酸化膜7とドレインオフセット拡散領域2との界面を横切る等電位線は、ソース側に傾き、その結果、酸化膜7側がドレインオフセット拡散領域2の表面に対して正電位になる。

【0057】次に、図3の場合と同じバイアス条件で高温バイアス信頼性試験を実行している最中のポテンシャル分布を図4に示す。図4においては、表面保護膜9と封止用樹脂10との界面が100(V)の電位を持った場合を仮定している。

【0058】この場合、金属電極14-1、14-2、14-3、プレート電極15a、16a、17aを配置した部分は、ドレイン電極14の電位500(V)が金属電極14-1、14-2、14-3に印加されているため、表面保護膜9と封止用樹脂10との界面100(V)の影響を受けず、酸化膜7とドレインオフセット拡散領域2との界面を横切る等電位線のソース側への傾きは、維持される。その結果、スロートラップは生じない。

【0059】なお、ポリシリコンゲート電極11がフィールドプレート効果を持つため、ポリシリコンゲート電極11近傍の等電位線は、ドレイン側に傾き、その結果、この部分での酸化膜7とドレインオフセット拡散領域2との界面においては、酸化膜7側が負電位となる。従って、この部分では、スロートラップによる正の固定電荷および負の可動電荷が発生し、負の可動電荷は、酸化膜7中をドレイン側に移動することになる。しかし、金属電極14-1、14-2、14-3、プレート電極15a、16a、17aを配置した部分で、等電位線がソース側に傾いているため、負の可動電荷は、酸化膜7とドレインオフセット拡散領域2との界面ではなく、酸化膜7とプレート電極15a、16a、17aとの界面付近に分布することになる。したがって、ドレインオフセット拡散領域2表面のP型反転層の発生を防止することができ、高温バイアス試験でオン抵抗を増大させることがなくなる。

【0060】本実施形態では、複数のプレート電極15a、16a、17aの直上に位置する層間絶縁膜8のそれぞれの上にドレイン用の金属電極14を延在させて(14-1、14-2、14-3)、複数のプレート電

15

極15a、16a、17aと金属電極14-1、14-2、14-3とを容量結合させている。したがって、プレート電極15a、16a、17a直上の金属電極14-1、14-2、14-3との間の寄生容量(Cb1、Cb2、Cb3)と、そのプレート電極15a、16a、17a直下に位置する半導体領域2との間の寄生容量(Ca1、Ca2、Ca3)との直列回路で分圧された電圧でそのプレート電極15a、16a、17aの電位が決まるため、表面保護膜9以上の上層の影響をほとんど受けないような構成にすることができる。本実施形態の構成では、フローティング状態の各プレート電極15a、16a、17aにドレインオフセット拡散領域2よりも高い電位を安定に与えることができるため、半導体領域2と酸化膜7との界面において、正の固定電荷および負の可動電荷が発生しないようにすることができ、その結果、高温バイアス信頼性試験においてもオン抵抗が変動しないような高信頼性の高耐圧半導体装置を実現することができる。

【0061】なお、本実施形態では、フローティング状態のプレート電極(15a、16a、17a)の数が3つである構成にしたが、プレート電極の数は、3つに限らず、少なくとも1つあれば、従来の構成よりも、オン抵抗の変動を抑制することができ、信頼性を向上させることができる。また、勿論、より多くのプレート電極を設けた構成にしてもよい。

【0062】また、図5に示すように、金属電極14-1、14-2、14-3の幅をプレート電極15a、16a、17aの幅よりも狭くしてもよい。金属電極(14-1、14-2、14-3)の幅を変更することによって、寄生容量(図2中のCb1、Cb2、Cb3)の値を適宜変更することができ、それによって、プレート電極15a、16a、17aの電位を所望の電位にすることができる。したがって、ドレイン用金属電極14の印加電圧に応じて、金属電極(14-1、14-2、14-3)の幅を変更することによって、簡便に所望のプレート電極(15a、16a、17a)の電位を設定することが可能となる。

【0063】なお、図5に示した構成の場合には、プレート電極15a、16a、17aのうち、基板法線方向において金属電極14-1、14-2、14-3で覆われない部分ができるため、表面保護膜9と封止用樹脂10との界面の電位の影響を、図1に示した構成よりも受けやすくなる。しかし、金属電極14-1、14-2、14-3の幅を適切に設定することによって、高温バイアス試験時においても、プレート電極15a、16a、17aの電位を、各プレート電極直下に位置するドレインオフセット拡散領域2表面の電位よりも高い電位に維持させることは可能である。したがって、図5に示した構成においても、図1に示した構成と同様に、高温バイアス信頼性試験においてもオン抵抗が変動しないような

16

高信頼性の高耐圧半導体装置を実現することができる。

【0064】また、図6に示すように、図5に示した構成を改変して、最もドレイン側に位置する金属電極14-3の幅をプレート電極17aの幅と同じにしてもよい。このようにすれば、図5に示した構成と比べて、表面保護膜9と封止用樹脂10との界面の電位の影響をプレート電極17aが受けにくい構成にすることができる。

【0065】さらに、図7に示すように、金属電極14-3とドレイン用金属電極14の上端部とを一体に形成して、プレート電極17aをドレイン金属電極14で完全に覆うような構成にしてもよい。換言すると、基板法線方向からみて、ドレイン拡散領域4を中心として、円環状の金属電極14-3の外縁までの全ての領域を覆うようにドレイン用金属電極14の上端部を延在させた構成としてもよい。

【0066】このような構成にすると、仮に、ドレイン用金属電極14の上層の表面保護膜9に欠陥が生じて、絶縁不良になったとしても、ドレイン用金属電極14にドレイン電圧が与えられるため、絶縁不良の影響は金属電極14で遮断されることとなり、その結果、下層部にあるプレート電極17aやその直下のドレインオフセット拡散領域2部分に悪影響を与えないようにすることができる。

【0067】なお、図7に示した構成にすると、プレート電極17aとドレイン金属電極14との寄生容量(図2中のCb3)が大きくなるため、プレート電極17aの電位は、上述した構成のものよりも高くなる。しかし、図7に示した構成でも、プレート電極17a直下のドレインオフセット拡散領域2表面に対して、酸化膜7側がより高い電位(正の電位)になるので、ドレインオフセット拡散領域2の表面にP型反転層が生じることがない。その結果、高温バイアス試験を行っても、オン抵抗の増加は生じない。

【0068】以上のように本実施形態によれば、プレート電極とその上層に位置する金属電極との間の寄生容量、及び、プレート電極とプレート電極直下のドレインオフセット拡散領域との間の寄生容量の存在によって容量直列回路が構成され、この容量直列回路によりプレート電極直下のドレインオフセット拡散領域部分の電位とドレイン電圧を分圧して、フローティング状態のプレート電極に適度なバイアス電圧を与えることができる。これにより、高温バイアス試験等の信頼性試験時においても、P型反転層がドレインオフセット拡散領域表面に発生することを防止して、オン抵抗が経時的に増大しない高い信頼性が得られる。また、ドレイン電圧が印加された環状の金属電極でプレート電極を覆った構成の場合においては、ストレスによって欠陥が生じ易い表面保護膜が絶縁不良を起こしても、下層のドレインオフセット拡散領域に対して安定な電位を与えることができ、高温バ

17

イアス試験時のオン抵抗の経時変動だけでなく、表面保護膜の絶縁不良に起因する耐圧不良も防止できる。

【実施形態 2】図 8 を参照しながら、本発明による実施形態 2 にかかる高耐圧半導体装置を説明する。図 8 は、本実施形態にかかる高耐圧半導体装置の平面図である。なお、図面を見やすくするため、金属電極とプレート電極のみを表示している。

【0069】図 8 に示した高耐圧半導体装置は、図 7 に示した構成の高耐圧半導体装置を大電流で用いる場合の平面構造を示しており、図 8 中の X-X' での断面構造（ソース・ドレイン間の断面構造）は、ソース金属電極 13 とボディ金属電極 12 を互いに接続してソース・ボディ共通金属電極 13-1 としていること以外は、図 7 に示した断面構造と同じである。なお、説明の簡潔化を図るため、実施形態 1 と異なる点を主に説明し、実施形態 1 と同様の点の説明は省略または簡略化する。

【0070】本実施形態では、ドレイン金属電極用ボンディングパッド 21 をドレイン金属電極 14 内に配置している。また、ソース・ボディ金属電極用ボンディングパッド 22 をソース・ボディ共通金属電極 13-1 内に配置している。なお、ボンディングパッド 21 または 22 は、パッド部となる領域のドレイン金属電極 14 またはソース・ボディ共通金属電極 13-1 上の表面保護膜 9 を除去して、金属電極 14 または 13-1 を露出させることによって形成することができる。

【0071】また、図 8 に示した構成では、単位面積あたりのゲート幅を大きくとるために、ドレインおよびソースの形状が指形状となるようにしている。なお、本実施形態では、ドレイン、ソースの形状を指形状としているが、ドレイン、ソースの指形状をさらに複数個設けた櫛形状にしてもよい。

【0072】本実施形態の高耐圧半導体装置では、ドレインおよびソースの形状を指形状（または櫛形状）にすることによって単位面積あたりのゲート幅を大きくとることができる。このため、数百 mA ～数十 A の大電流で使用することができ、かつ、高温バイアス試験においても、オン抵抗の増大しないパワートランジスタを実現することができる。

【実施形態 3】図 9 および図 10 を参照しながら、本発明による実施形態 3 にかかる高耐圧半導体装置を説明する。図 9 は、本実施形態にかかる高耐圧半導体装置の断面斜視図であり、図 10 は、その平面図である。

【0073】本実施形態の高耐圧半導体装置は、金属電極 14 の一部と、プレート電極 15 a、16 a、17 a とが交差するように金属電極 14 が延ばされて形成されている点において、上記実施形態 1 および 2 と異なる。すなわち、本実施形態では、プレート電極 15 a、16 a、17 a 上に延在させる金属電極 14 の形状を環状（14-1、14-2、14-3）から、放射状にしたものである。なお、他の点は、上記実施形態 1 の構成と

18

同様であるので、説明の簡略化を図るため、実施形態 1 と同様の点の説明は省略または簡略化する。

【0074】本実施形態の構成においては、ドレイン金属電極 14 とプレート電極 15 a、16 a、17 a との間の寄生容量 C b 1、C b 2、C b 3 は、ドレイン金属電極 14 がプレート電極 15 a、16 a、17 a と交差する領域の面積比に依存する。このため、ドレイン金属電極 14 がプレート電極 15 a、16 a、17 a と交差する本数、及び、交差するドレイン金属電極の幅を適宜設定することにより、寄生容量値 C b 1、C b 2、C b 3 を任意に設計することが可能である。

【0075】すなわち、図 5 に示した構成や図 6 に示した構成では、環状金属電極 14-1 や 14-2 の横幅を狭くして寄生容量値 C b 1 や C b 2 を最小にしたいとしても、金属電極形成工程における製造可能な最小パターン幅で制限され、寄生容量 C b 1 と C a 1 との容量比を大きくするにも限界がある。一方、本実施形態の構成によると、ドレイン金属電極 14 を形成工程での最小幅にした場合でも、ドレイン金属電極 14 とプレート電極 15 a、16 a、17 a との交差する本数を少なくすることによって、図 5 や図 6 に示した構成よりも小さな寄生容量値 C b 1 を実現することができる。したがって、寄生容量 C b 1 と C a 1 との容量比を大きくして、プレート電極 15 a の電位を、よりドレインオフセット拡散領域 2 表面の電位に近づけることができるため、ゲート電極 11 とプレート電極 15 a 間の電界を緩和することができ、より高い初期耐圧を確保することが可能になる。

【0076】なお、本実施形態では、平面形状を図 10 に示したように円形にしたが、これに限定されず、図 11 に示すように平面形状を長細状（例えば、トラック状）にしてもよい。ドレイン領域の直線部分には、円形部分と同様にプレート電極 15 a、16 a、17 a に対して交差するようにドレイン金属電極 14 を細状に延在させた構成にしている。

【0077】なお、本実施形態において、金属電極 14 は、プレート電極 15 a、16 a、17 a 全てに交差するように延在させているが、延在させた複数の細状の金属電極 14 は、プレート電極 15 a、16 a、17 a 全てに交差させる必要はなく、プレート電極との所望の寄生容量値を得るように各々を任意の幅・長さ・形状にしてもよい。

（他の実施形態）上述した実施形態においては、ゲート電極 11 とプレート電極 15 a との間に、プレート電極と金属電極とを配置しない構造について説明したが、ゲート電極 11 とプレート電極 15 a との間にプレート電極と金属電極とを配置してもよい。ただし、この場合、ゲート電極 11 と隣接するプレート電極との間の電界強度が強くなるため耐圧は低くなるが、所望とする耐圧レベルとの兼ね合いで用いればよい。

【0078】また、ドレインオフセット拡散領域 2 内に

19

1つの低濃度埋め込み拡散領域3を形成した構成の場合について説明したが、ドレインオフセット拡散領域2内に複数個の低濃度埋め込み拡散領域3を形成した構成にしても、同様に、高温バイアス信頼性試験においてもオン抵抗が変動しないような高信頼性の高耐圧半導体装置を実現することができる。

【0079】さらに、ドレインオフセット拡散領域2内の上層に（特に、低濃度埋め込み拡散領域3よりも上層に）N型不純物拡散領域（図示せず）を別途追加して形成しても構わない。この場合、追加するN型不純物拡散領域は、ドレインオフセット拡散領域2の不純物濃度と同等か、それよりも1桁程度高い不純物濃度で形成すると、オン抵抗を小さくできる点で有利であり、耐圧が幾分低下する程度であり、耐圧のパラッキもオン抵抗のパラッキも小さくなる。

【0080】また、上述の各実施形態では、絶縁ゲート型トランジスタのボディ用半導体領域をP型の半導体基板1として説明したが、N型の半導体基板に形成したP型ウエル領域をボディ用半導体領域として扱っても良いし、半導体基板（またはSOI基板）上の絶縁膜で絶縁分離され島状に形成されたP型半導体領域をボディ用半導体領域として扱っても良い。少なくとも表面に絶縁層が形成された基板（SOI基板）を用いる場合、ボディ用半導体領域（第1導電型の半導体層）1は、例えばシリコン基板上に形成された絶縁層上に設けられることになる。

【0081】更には、P型もしくはN型の半導体基板にN型ウエル領域とP型ウエル領域を形成し、N型ウエル領域をPチャンネル用の絶縁ゲート型トランジスタのボディ用半導体領域とし、P型ウエル領域を同じくNチャンネル用のボディ用半導体領域として、極性の異なる絶縁ゲート型トランジスタを同一の半導体基板上に集積化することもできる。加えて、既知のPN接合分離技術や誘電体分離技術を用いて、1つの半導体基板上に複数のボディ用半導体領域を形成することも可能であり、ドレイン拡散領域4は必ずしも半導体基板の中央に形成しなくてもよい。

【0082】そして、上述の実施形態では、パンチスルー防止用拡散領域20を設けて、ゲート電極11直下の半導体基板1の不純物濃度を部分的に高め、ソース拡散領域5とドレインオフセット拡散領域2との間でパンチスルー現象が起きにくくなるような構成にしているが、パンチスルー防止用拡散領域20は所望とする耐圧レベルとの兼ね合いで必要とされるものであり、必ずしも必要なものではない。

【0083】

【発明の効果】本発明によると、フィールド絶縁膜上にフローティング状態で形成された少なくとも1つのプレート電極と、当該少なくとも1つのプレート電極と容量結合され、その一部がドレイン拡散領域と電気的に接続

20

されている金属電極とを備えているため、ドレインオフセット拡散領域とフィールド絶縁膜との界面における正の固定電荷および負の可動電荷の発生を抑制することができる。その結果、高温バイアス信頼性試験においてもオン抵抗が変動しないような高信頼性の高耐圧半導体装置を提供することができる。

【図面の簡単な説明】

【図1】本発明による実施形態1にかかる高耐圧半導体装置の断面斜視図である。

【図2】実施形態1にかかる高耐圧半導体装置の要部断面構造を示す要部断面図である。

【図3】実施形態1にかかる高耐圧半導体装置の常温時の電位分布を説明するための断面図である。

【図4】実施形態1にかかる高耐圧半導体装置の高温バイアス試験中の電位分布を説明するための断面図である。

【図5】実施形態1にかかる高耐圧半導体装置の改変例を示す断面図である。

【図6】実施形態1にかかる高耐圧半導体装置の改変例を示す断面図である。

【図7】実施形態1にかかる高耐圧半導体装置の改変例を示す断面図である。

【図8】本発明による実施形態2にかかる高耐圧半導体装置の平面図である。

【図9】本発明による実施形態3にかかる高耐圧半導体装置の断面斜視図である。

【図10】実施形態3にかかる高耐圧半導体装置の平面図である。

【図11】実施形態3にかかる高耐圧半導体装置の改変例を示す平面図である。

【図12】従来の高耐圧半導体装置の断面図である。

【図13】従来の高耐圧半導体装置の常温時の電位分布を説明するための断面図である。

【図14】従来の高耐圧半導体装置における電流経路を説明するための断面図である。

【図15】従来の高耐圧半導体装置における高温バイアス試験時の耐圧劣化を説明するための断面図である。

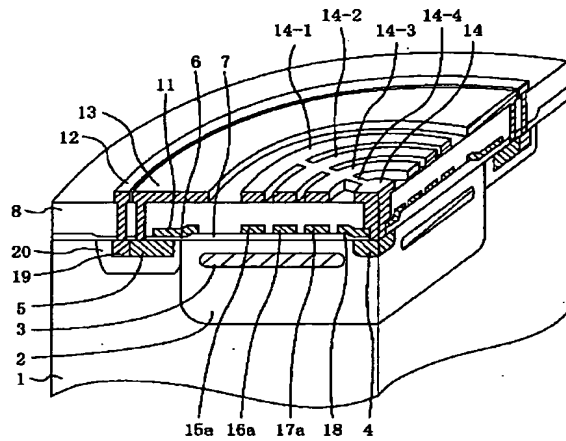
【符号の説明】

- 1 半導体基板
- 2 ドレインオフセット拡散領域
- 3 低濃度埋め込み拡散領域
- 4 ドレイン拡散領域
- 5 ソース拡散領域
- 6 ゲート酸化膜
- 7 厚い酸化膜
- 8 層間絶縁膜
- 9 表面保護膜
- 10 封止用樹脂
- 11 ゲート電極
- 12 ボディ用の金属電極

21

- 13 ソース用の金属電極
 13-1 ソース・ボディ共通の金属電極
 14 ドレイン用の金属電極
 14-1、14-2、14-3 環状金属電極
 14-4 金属電極連結部
 15a、16a、17a プレート電極

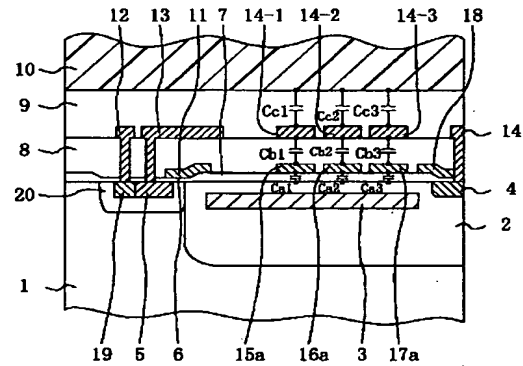
【図1】



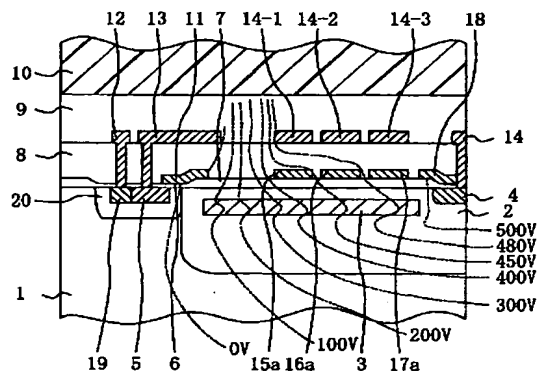
22

- * 18 ドレインポリシリコン電極
 19 コンタクト用拡散領域
 20 パンチスルー防止用拡散領域
 21 ドレイン金属用ボンディングパッド領域
 23 P型反転層
 * 24 N型反転層

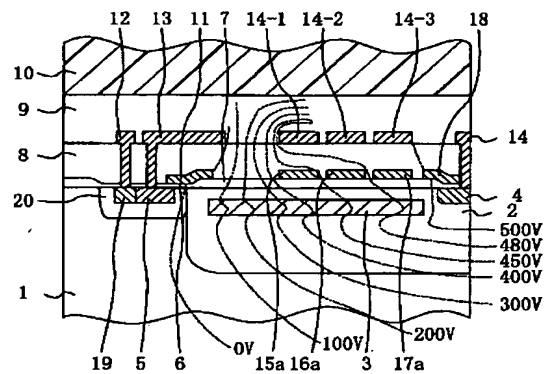
【図2】



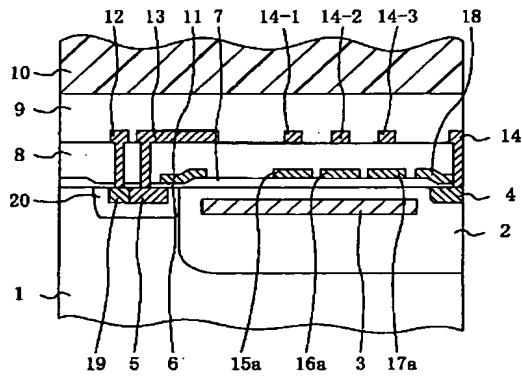
【図3】



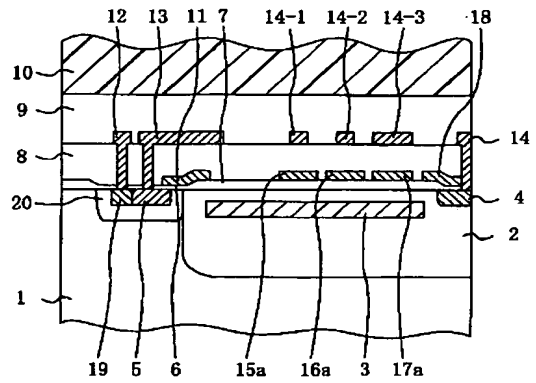
【図4】



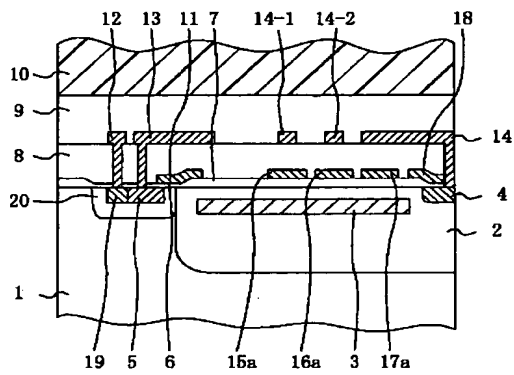
【図 5】



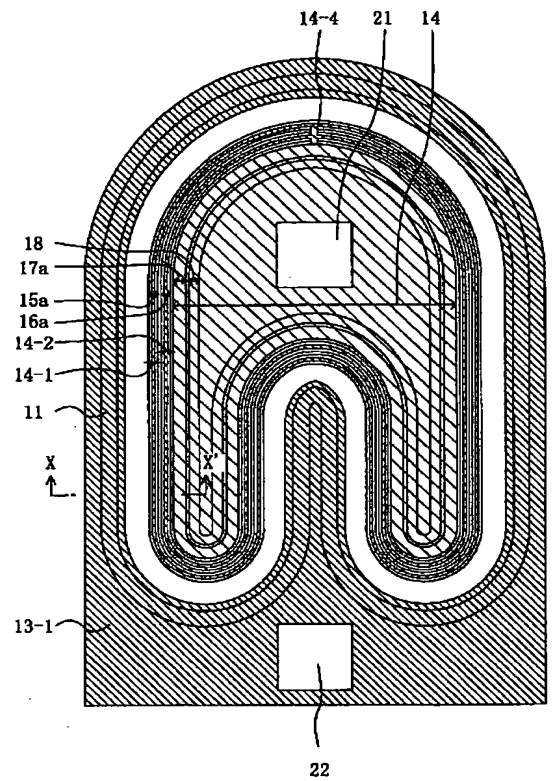
【図 6】



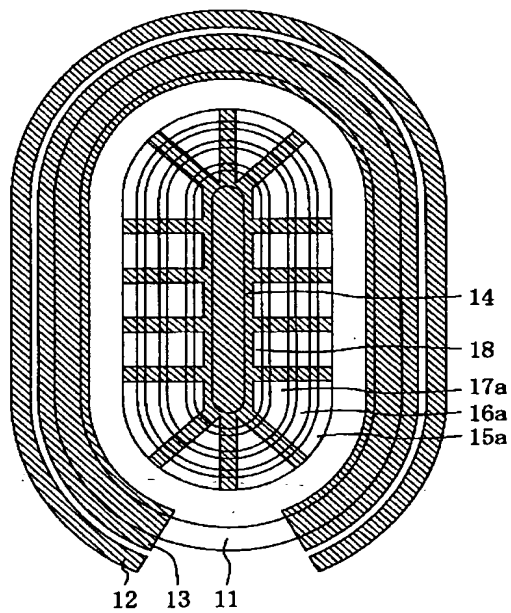
【図 7】



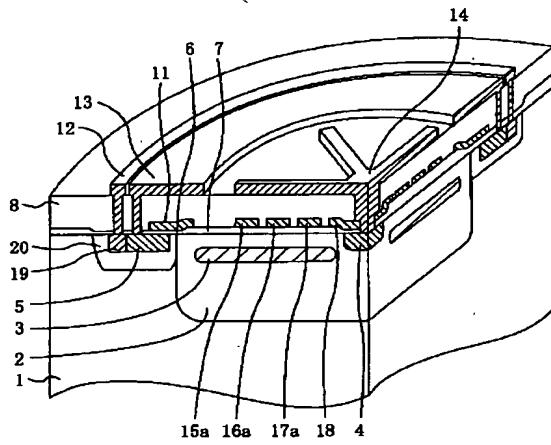
【図 8】



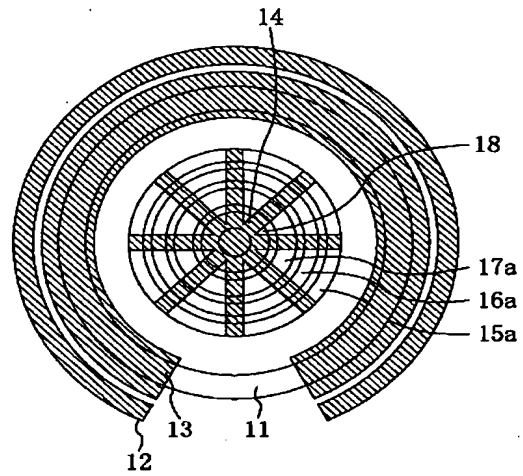
【図 11】



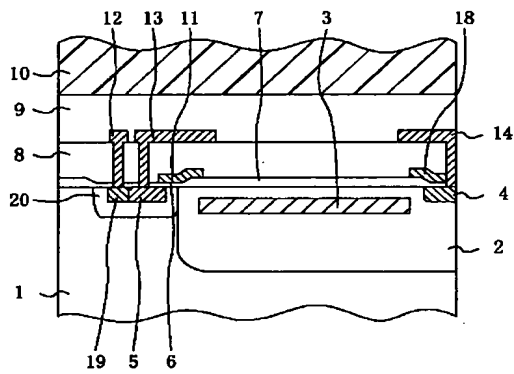
【図9】



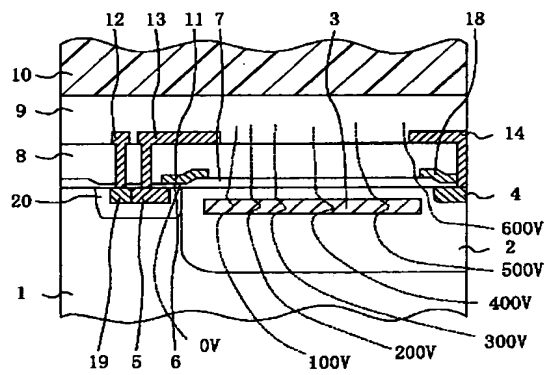
【図10】



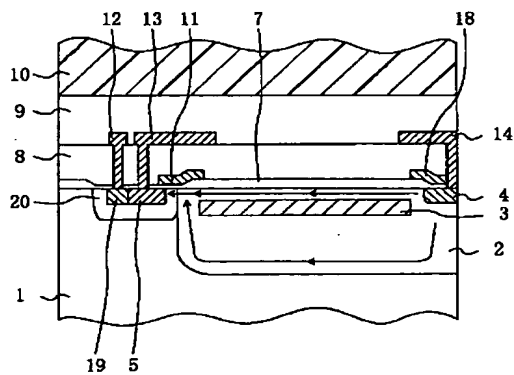
【図12】



【図13】



【図14】



【図15】

